

MICROCONTROLADOR

PIC16F628A

Eng. Geraldo Novais

www.geraldonovais.com.br

CAPÍTULO 1

CONCEITOS BÁSICOS

DESCRIÇÃO DO DISPOSITIVO

Características principais:

- CPU com 35 instruções RISC
- Frequência de operação até 20 MHz
- Oscilador interno 4MHz / 37 KHz
- Tensão de operação de 3.0 a 5.5 V
- 15 pinos de entrada/saída
- 1 pino de entrada
- Memória RAM de 224 bytes
- Memória EEPROM de 128 bytes
- Memória de programa do tipo FLASH de 2048 x 14 bits
- 10 fontes de interrupções

Além disso podemos destacar os seguintes periféricos internos:

- 2 comparadores analógicos
- USART – módulo de transmissão/recepção serial
- 3 Temporizadores controlados por software
- 1 Temporizador Watchdog
- 1 Módulo CCP (Captura de período e geração de sinal PWM)

Descrição dos pinos

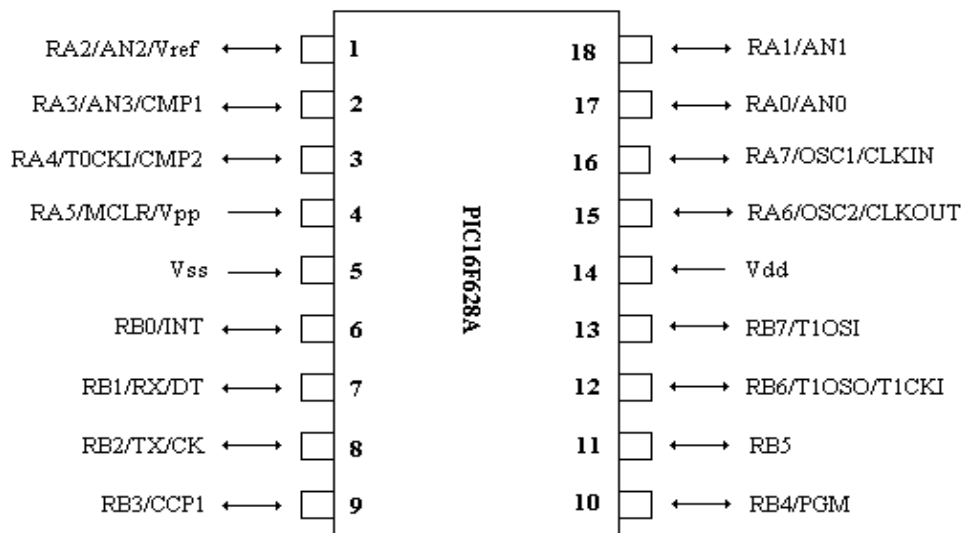


Figura 1 – PIC 16F628A

Pino	Função	Tipo	Descrição
1	RA2/AN2/Vref	Entrada/ Saída	Porta A bit 2/ Entrada comparador analógico/ Saída da referência de tensão.
2	RA3/AN3/CMP1	Entrada/ Saída	Porta A bit 3/ Entrada comparador analógico/ Saída comparador 1.
3	RA4/T0CKI/CMP2	Entrada/ Saída	Porta A bit 4/ Entrada de clock externo do timer 0/ Saída comparador 2.
4	RA5/MCLR/THV	Entrada	Porta A bit 5/ Reset CPU/ Tensão de programação.
5	Vss	Alimentação	Terra.
6	RB0/INT	Entrada/ Saída	Porta B bit 0/ interrupção externa.
7	RB1/RX/DT	Entrada/ Saída	Porta B bit 1/ Recepção USART (modo assíncrono)/ Dados (modo síncrono).
8	RB2/TX/CK	Entrada/ Saída	Porta B bit 2/ Transmissão USART / Clock TX
9	RB3/CCP1	Entrada/ Saída	Porta B bit 3/ Entrada/saída do módulo CCP.
10	RB4/PGM	Entrada/ Saída	Porta B bit 4/ Entrada de programação LVP.
11	RB5	Entrada/ Saída	Porta B bit 5.
12	RB6/T1OSO/T1CK1	Entrada/ Saída	Porta B bit 6/ Saída oscilador TMR1/ Entrada clock TMR1.
13	RB7/T1OSI	Entrada/ Saída	Porta B bit 7/ Entrada oscilador TMR1.
14	VDD	Alimentação	Alimentação positiva.
15	RA6/OSC2/CLKOUT	Entrada/ Saída	Porta A bit 6/ Entrada para cristal oscilador/ Saída de clock.
16	RA7/OSC1/CLKIN	Entrada/ Saída	Porta A bit 7/ Entrada para cristal oscilador/ Entrada de clock externo.
17	RA0/AN0	Entrada/ Saída	Porta A bit 0/ Entrada comparador analógico.
18	RA1/AN1	Entrada/ Saída	Porta A bit 1/ Entrada comparador analógico.

Tabela 1 - Descrição dos pinos.

ORGANIZAÇÃO DA MEMÓRIA RAM

Na figura 2 tem-se o mapa de memória RAM do PIC16F628A, no qual podemos localizar os registradores de uso especial (SFR) e de propósito geral (GPR) e seus respectivos endereços.

Acesso Indireto(*)	00h	Acesso Indireto(*)	80h	Acesso Indireto(*)	100h	Acesso Indireto(*)	180h
TMR0	01h	OPTION	81h	TMR0	101h	OPTION	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
	07h		87h		107h		187h
	08h		88h		108h		188h
	09h		89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch		10Ch		18Ch
	0Dh		8Dh		10Dh		18Dh
TMR1L	0Eh	POCN	8Eh		10Eh		18Eh
TMR1H	0Fh		8Fh		10Fh		18Fh
T1CON	10h		90h				
TMR2	11h		91h				
T2CON	12h	PR2	92h				
	13h		93h				
	15h		94h				
CCPR1L	16h		95h				
CCPR1H	17h		96h				
CCP1CON	18h		97h				
RCSTA	19h	TXSTA	98h				
TXREG	1Ah	SPBRG	99h				
RCREG	1Bh	EEDATA	9Ah	Registradores de Propósito Geral (GPR) 48 Bytes	11Fh		1EFh
	1Ch	EEADR	9Bh				
	1Dh	EECON1	9Ch				
	1Eh	EECON2	9Dh				
	1Fh		9Eh				
CMCON	20h	VRCON	9Fh		120h		1E0h
Registradores de Propósito Geral (GPR) 96 Bytes		Registradores de Propósito Geral (GPR) 80 Bytes	A0h				
		Acessa Endereços 70h a 7Fh	EFh	Acessa Endereços 70h a 7Fh	16Fh		1Fh
			E0h				
			FFh				
	7Fh				17Fh		
Banco 0		Banco 1		Banco 2		Banco 3	

Tabela 2 - Mapa de memória RAM

PRINCIPAIS REGISTRADORES

Os registradores da memória RAM são divididos em duas categorias: Registradores de uso especial (SFR) e os registradores de propósito geral (GPR). Os GPRs são utilizados para as variáveis do programa. Ambos os registradores SFR e GPR são chamados de registradores “F” – abreviação de *File register*.

Em seguida veremos alguns registradores SFR:

PORTA

R/W-X	R/W-X	R/W-X	R/W-X	R/W-0	R/W-0	R/W-0	R/W-0
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
bit7							bit0

O registrador PORTA é utilizado para a escrita/leitura dos pinos externos da porta A (RA0 a RA7). Cada pino é acessado pelo respectivo bit do registrador. Assim o bit 0 do registrador irá acessar o pino RA0 e assim por diante.

PORTB

R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
bit7							bit0

O registrador PORTB é utilizado para a escrita/leitura dos pinos externos da porta B (RB0 a RB7). Cada pino é acessado pelo respectivo bit do registrador. Assim o bit 0 do registrador irá acessar o pino RB0 e assim por diante.

STATUS

R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-X	R/W-X	R/W-X
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit7							bit0

- bit 7: IRP
- bit 6-5: RP1:RP0 – Bits de seleção de banco de memória
- 00 = Banco 0
 - 01 = Banco 1
 - 10 = Banco 2
 - 11 = Banco 3
- bit 4: \overline{TO} - Time Out (estouro de tempo)
- 1 = Temporizador Watchdog ainda não atingiu a contagem final ou uma instrução CLRWDT foi executada.
 - 0 = Watchdog chegou a final da contagem e provocou um reset no processador
- bit 3: \overline{PD} - Power Down (desligamento)
- 1 = Estado após inicialização
 - 0 = Microcontrolador está em modo de baixa potência (após instrução SLEEP)
- bit 2: Z - Zero
- 1 = Resultado de operação lógica ou aritmética é zero.
 - 0 = Resultado de operação lógica ou aritmética é diferente de zero.
- bit 1: DC – Digit Carry/Borrow (Transbordo de dígito/Empréstimo de dígito)
- 1 = Resultado de soma excedeu 4 bits
 - 0 = Resultado de soma não excedeu 4 bits.
 - 1 = Não houve empréstimo de bit (resultado positivo)
 - 0 = Houve empréstimo de bit (resultado negativo)
- bit 0: C – Carry/Borrow (Transbordo /Empréstimo)
- 1 = Resultado de soma excedeu 8 bits (maior que 255 em decimal)
 - 0 = Resultado de soma não excedeu 8 bits.

INTCON

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-X
GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF
bit7							bit0

- bit 7: GIE – Habilitação Global de Interrupções
1 = Poderá ocorrer interrupções.
0 = Nenhuma interrupção poderá ocorrer (mesmo que alguma interrupção individual esteja habilitada).
- bit 6: PEIE – Habilitação das interrupções periféricas
1 = Interrupções periféricas habilitadas.
0 = Interrupções periféricas desabilitadas.
- bit 5: TOIE – Habilitação da interrupção de transbordo do Timer0
1 = Interrupção de transbordo do Timer0 ligada.
0 = Interrupção de transbordo do Timer0 desligada.
- bit 4: INTE – Habilitação da interrupção externa (RB0/INT)
1 = Interrupção externa habilitada.
0 = Interrupção externa desabilitada.
- bit 3: RBIE – Habilitação de interrupção por mudança de estado na porta B (pinos RB4 a RB7)
1 = Interrupções por mudança na porta B habilitada.
0 = Interrupções por mudança na porta B desabilitada.
- bit 2: TOIF – Flag sinalizador de estouro do timer 0
1 = Ocorreu transbordo do timer 0 (Contagem superou 255).
0 = A contagem não superou 255.
- bit 1: INTF – Flag sinalizador de interrupção externa (RB0/INT)
1 = Ocorreu pedido externo de interrupção
0 = Não ocorreu pedido externo de interrupção
- bit 0: RBIF – Flag sinalizador de alteração nos pinos RB4 a RB7
1 = Houve alteração.
0 = Não houve alteração.

TRISA

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit7				bit0			

Esse registrador é utilizado para determinar quais pinos da Porta A são entrada e quais são saída.

Se o bit do registrador TRISA estiver em nível lógico '1', o pino estará configurado como entrada. Caso contrário, se estiver em nível lógico '0', o pino estará configurado como saída.

Por exemplo, se o bit 0 do registrador TRISA estiver em nível lógico '0', significa que o pino RA0 está configurado como saída.

TRISB

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0
bit7				bit0			

Esse registrador é utilizado para determinar quais pinos da Porta B são entrada e quais são saída.

Se o bit do registrador TRISB estiver em nível lógico '1', o pino estará configurado como entrada. Caso contrário, se estiver em nível lógico '0', o pino estará configurado como saída.

Por exemplo, se o bit 0 do registrador TRISB estiver em nível lógico '0', significa que o pino RB0 está configurado como saída.

PIR1

R/W-0	R/W-0	R/W-0	R/W-0	U	R/W-0	R/W-0	R/W-0
EEIF	CMIF	RCIF	TXIF	-	CCP1IF	TMR2IF	TMR1IF
bit7							bit0

- bit 7: EEIF – Sinalizador de termino de escrita na EEPROM
 1 = A escrita terminou.
 0 = A escrita ainda não terminou ou não foi iniciada..
- bit 6: CMIF – Sinalizador de mudança de estado na saída dos comparadores
 1 = Houve mudança na saída dos comparadores.
 0 = Não houve mudança de estado.
- bit 5: RCIF – Sinalizador de recepção de caracter na USART
 1 = Um novo caracter foi recebido.
 0 = Não houve recepção de novos caracteres.
- bit 4: TXIF – Sinalizador de transmissão na USART
 1 = Caracter armazenado no TXREG foi repassado para o TSR
 0 = Não houve transmissão ou o TSR está ocupado.
- bit 3: CCP1IF – Sinalizador captura/comparação no módulo CCP
 1 = Não houve comparação válida/captura no módulo CCP.
 0 = Houve comparação /captura no módulo CCP.
- bit 2: TMR2IF – Sinalizador de transbordo do timer 2
 1 = Houve transbordo de contagem do timer 2.
 0 = Não houve transbordo de contagem do timer 2.
- bit 1: TMR1IF – Sinalizador de transbordo do timer 1
 1 = Houve transbordo de contagem do timer 1.
 0 = Não houve transbordo de contagem do timer 1.

PIE1

R/W-0	R/W-0	R/W-0	R/W-0	U	R/W-0	R/W-0	R/W-0
EEIE	CMIE	RCIE	TXIE	-	CCP1IE	TMR2IE	TMR1IE
bit7							bit0

- bit 7: EEIE – Habilitação de interrupção por termino de escrita na EEPROM
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 6: CMIE – Habilitação de interrupção de mudança de estado na saída dos comparadores
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 5: RCIE – Habilitação de interrupção de recepção de dados na USART
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 4: TXIE – Habilitação de interrupção de transmissão da USART
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 3: CCP1IE – Habilitação de interrupção do módulo CCP
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 2: TMR2IE – Habilitação de interrupção de transbordo do timer 2
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada..
- bit 1: TMR1IE – Habilitação de interrupção de transbordo do timer 1
 1 = Interrupção habilitada.
 0 = Interrupção desabilitada.

PCON

U	U	U	U	R/W-1	U	R/W	R/W
-	-	-	-	OSCF	-	\overline{POR}	\overline{BOD}
bit7							bit0

bit 3: OSCF – Bit de seleção do modo de operação do oscilador interno

1 = Clock de 4MHz.

0 = Clock de 37KHz.

bit 1: \overline{POR} – Sinalizador de reset de inicialização (Power-on reset)

1 = Houve um reset de inicialização.

0 = Não houve reset de inicialização.

bit 0: \overline{BOD} – Sinalizador de reset por queda de tensão (Brown-out)

1 = Houve reset por queda de tensão de alimentação.

0 = Não houve reset por queda de tensão de alimentação.

Registrador W

Esse não é um registrador SFR. O mesmo possui características peculiares, tais como:

- Pode ser utilizado como destino de diversas operações aritméticas e lógicas.
- Não está mapeado na memória RAM do PIC.
- É utilizado principalmente como ponte entre registradores de uso específico.

Não é possível trocar diretamente informações entre os registradores “F”. A única forma de fazer isso é copiando o conteúdo do registrador “F” de origem para o registrador W e em seguida copiar o conteúdo de W para o registrador “F” de destino.

Exemplo:

MOVF	PORTA, W	;move o conteúdo de PORTA para o reg. W
MOVWF	ALARME_IN	;move o conteúdo de W para a variável ALARME_IN

MEMÓRIA DE PROGRAMA

O PIC16F628A possui 2 Kword de memória de programa do tipo FLASH. Esse tipo de memória permite um mínimo de 1000 ciclos de gravação/apagamento, sendo indicada tanto para a fase de desenvolvimento e teste. Os dispositivos FLASH são indicados pela letra “F”.

Vetor de reset	000h
Vetor de interrupção	004h
	005h
	7FFh

Figura 2 – Memória de programa

O vetor de interrupção é o endereço de memória para onde o processador é desviado quando ocorre um evento de interrupção. O conceito de interrupções será abordado no final desse material.

CONJUNTO DE INSTRUÇÕES

Instrução	Argumentos	Descrição
ADDWF	f,d	Soma W e F, guardando o resultado em d.
ANDWF	f,d	Lógica "E" entre W e f, guardando o resultado em d.
CLRF	f	Limpa f.
COMF	f,d	Calcula o complemento de f, guardando o resultado em d.
DECF	f,d	Decrementa f, guardando o resultado em d.
DECFSZ	f,d	Decrementa f, guardando o resultado em d, e pula a próxima linha se o resultado for zero.
INCF	f,d	Incrementa f, guardando o resultado em d.
INCFSZ	f,d	Incrementa f, guardando o resultado em d, e pula a próxima linha se o resultado for zero.
IORWF	f,d	Lógica "OU" entre W e f, guardando o resultado em d.
MOVF	f,d	Move f para d(cópia).
MOVWF	f	Move W para f (cópia).
RLF	f,d	Rotaciona f 1 bit para esquerda.
RRF	f,d	Rotaciona f 1 bit para direita.
SUBWF	f,d	Subtrai W de f ($f - W$), guardando o resultado em d.
SWAPF	f,d	Inversão entre as partes alta e baixa de f, guarda resultado em d
XORWF	f,d	OU exclusivo entre W e f, guardando o resultado em d.

Tabela 3 – Instruções orientadas à byte

Instrução	Argumentos	Descrição
BCF	f,b	Zera o bit b do registrador f.
BSF	f,b	Impõe '1' ao bit b do registrador f.
BTSFC	f,b	Testa o bit b do registrador, e pula a próxima linha se ele for '0'.
BTFSS	f,b	Testa o bit b do registrador, e pula a próxima linha se ele for '1'.

Tabela 4 - Instruções orientadas a bit.

Instrução	Argumentos	Descrição
ADDLW	k	Soma k com W, guardando o resultado em W.
ANDLW	k	Lógica "E" entre k e W, guardando o resultado em W.
IORLW	k	Lógica "OU" entre k e W, guardando o resultado em W.
MOVLW	k	Move k para W.
SUBLW	k	Subtrai W de k ($k - W$), guardando o resultado em W.
XORLW	k	Lógica "OU exclusivo" entre k e W, guardando o resultado em W.

Tabela 5 - Instruções com constantes.

Instrução	Argumentos	Descrição
CLRW		Limpa W.
NOP		Gasta um ciclo de máquina sem fazer nada.
CALL	R	Executa a rotina R.
CLRWDT		Limpa o registrador WDT para não acontecer o reset.
GOTO	R	Desvia para o ponto R, mudando o PC.
RETFIE		Retorna de uma interrupção.
RETLW	k	Retorna de uma rotina, com k em W.
RETURN		Retorna de uma rotina, sem afetar W.
SLEEP		Coloca o PIC em módulo Sleep para economia de energia.

Tabela 6 - Instruções de controle.

CICLO DE INSTRUÇÃO

Um ciclo de instrução consiste em quatro ciclos de clock. Ou seja, se temos um clock de 4MHz então temos uma velocidade de execução de um milhão de instruções por segundo. Com exceção das instruções de desvio que podem ser executadas com o oito ciclos de clock.

INTERRUPÇÕES

Interrupção é um evento externo ao programa que provoca a parada da sua execução, a verificação e tratamento do referido evento e em seguida o retorno do programa ao ponto em que havia sido interrompido. As estruturas de interrupção são utilizadas para que a CPU tome conhecimento de eventos de alta prioridade para o programa.

1. Interrupção externa
2. Interrupção por mudança de estado no PORTB
3. Interrupção de escrita na EEPROM
4. Interrupção do Timer0
5. Interrupção do Timer1
6. Interrupção do Timer2
7. Interrupção do módulo CCP
8. Interrupção de transmissão da USART
9. Interrupção de recepção da USART
10. Interrupção do módulo comparador analógico

Para cada fonte de interrupção existem dois bits associados – um bit que sinaliza se a interrupção pode ocorrer e outro que sinaliza o pedido de interrupção. Por exemplo, para o Timer0 tem-se os seguintes bits:

T0IF (Timer0 Interrupt Flag) – Sinaliza um pedido de interrupção quando está em nível lógico ‘1’.

T0IE (Timer0 Interrupt Enable) – Sinaliza que a interrupção pode ocorrer se o mesmo estiver em nível lógico ‘1’.

Conforme pode-se ver na figura 2, cada sinal de controle de interrupção (representado pela sigla xxIE) é aplicado a uma porta AND, cuja função é realizar o controle de habilitação/desabilitação individual de cada interrupção.

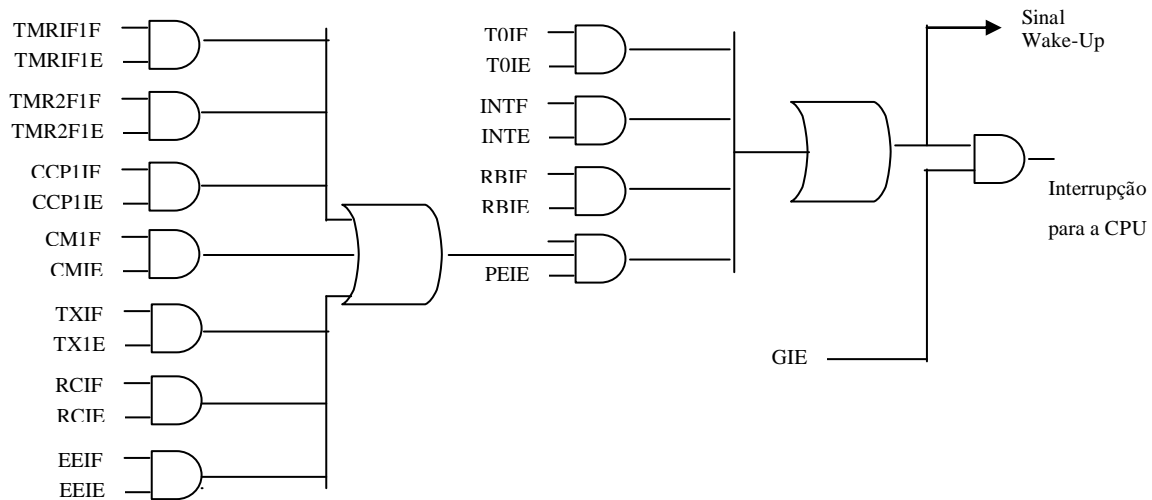


Figura 3 - Estrutura Lógica do Funcionamento das Interrupções.

CAPÍTULO 2

TEMPORIZADORES

CONTADOR/ TEMPORIZADOR TIMER 0

É um contador binário de 8 bits que pode ser utilizado para duas funções básicas:

- Contagem de eventos externos (quando a entrada de clock é feita por meio do pino RA4/T0CKI);
- Temporização (contagem de tempo) quando então a entrada de clock é proveniente do clock interno (o clock do sistema dividido por 4).

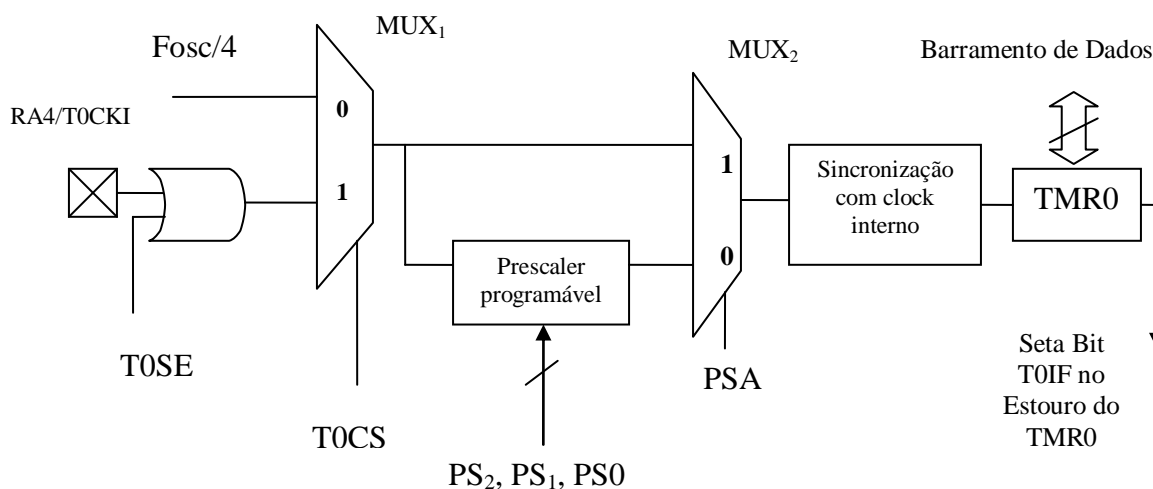


Figura 4 - Diagrama interno do timer 0.

Na figura 4 podemos observar a estrutura interna do módulo do Timer 0. Primeiramente devemos prestar atenção ao MUX1, o multiplexador encarregado de selecionar a fonte de clock para o timer 0. O bit encarregado de fazer essa seleção é o T0CS (Timer 0 Clock Source – seleção de clock do timer 0), encontrado no registrador OPTION_REG.

Pela figura anterior, podemos observar que se T0CS = '1', a fonte de clock será o pino RA4/T0CKI, quando dizemos então que o timer 0 está operando como contador de eventos; caso contrário, se T0CS = '0', então o clock do timer 0 virá do clock interno de sistema (clock principal/4) e dizemos que o timer 0 está operando como um contador de tempo ou temporizador.

A seguir, o sinal de clock irá passar pelo MUX2, multiplexador encarregado de selecionar entre duas opções o sinal de clock que será aplicado ao contador.

Na primeira opção, com PSA = '1', o sinal de clock irá seguir diretamente do MUX1 pelo MUX2 para o timer 0.

No outro caso, com PSA = '0', o sinal proveniente do MUX1 irá passar primeiramente por um prescaler e em seguida será aplicado ao contador.

O prescaler nada mais é do que um circuito utilizado para reduzir a frequência do sinal de clock, aplicado ao timer 0 por um fator conhecido. Este fator é selecionado pelos bits PS2, PS1 e PS0 do registrador OPTION_REG, de acordo com a tabela 7.

PS2	PS1	PS0	Timer0 (PSA=0)	Watchdog (PSA=1)
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

Tabela 7 – Fatores de divisão do prescaler do Timer 0 e Watchdog.

A cada transbordo do TMR0 (255 para 0), será ativado o sinal T0IF, sinalizando o evento de interrupção.

Para calcular a frequência com que vão ocorrer as interrupções (transbordos) do timer 0, utilizamos a seguinte fórmula:

$$F_{INT} = \frac{CLOCK}{PRESCALER * 256 - TMR0}$$

Equação 1 - Frequência de Interrupções Timer 0.

Em que:

- CLOCK é o valor da frequência de clock utilizada: se o clock for interno, teremos que o CLOCK será igual a $F_{osc}/4$; se o clock for externo, o valor do CLOCK será aquele aplicado à entrada T0CKI;
- PRESCALER é o fator de divisão do clock.
- TMR0 é o valor inicial do registrador TMR0. Normalmente este valor é zero, mas podemos alterá-lo por software;

Registrador OPTION_REG

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{RBP\overline{U}}$	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0
bit7							bit0

bit 7: $\overline{RBP\overline{U}}$ – Ativação dos resistores internos de pull-up da porta B.

1 = Resistores de pull-up desativados.

0 = Resistores de pull-up ativados.

bit 6: INTEDG – Seleção da borda de ativação da interrupção externa.

1 = Interrupção na borda de subida do sinal no pino RB0/INT.

0 = Interrupção na borda de descida do sinal no pino RB0/INT.

bit 5: T0CS – Seleção de entrada do clock para o timer 0.

1 = O clock será obtido externamente pelo pino RA4/T0CKI.

0 = O clock será proveniente do clock interno do sistema ($F_{osc}/4$).

bit 4: T0SE – Seleção de borda de sensibilidade do clock externo do timer 0

1 = Timer 0 incrementado na borda de descida do sinal em RA4/ T0CKI.

0 = Timer 0 incrementado na borda de subida do sinal em RA4/ T0CKI.

bit 3: PSA – Seleciona o prescaler para o timer 0 ou Watchdog

1 = O prescaler está conectado ao Watchdog.

0 = O prescaler está conectado ao timer 0.

bit 2-0: PS0, PS1, PS2 – Fator de divisão do prescaler utilizado com o timer 0 ou com o watchdog.

CONTADOR/ TEMPORIZADOR TIMER 1

O timer 1 é um módulo contador de 16 bits capaz de operar em um dos dois modos:

- Temporizador;
- Contador de eventos externos.

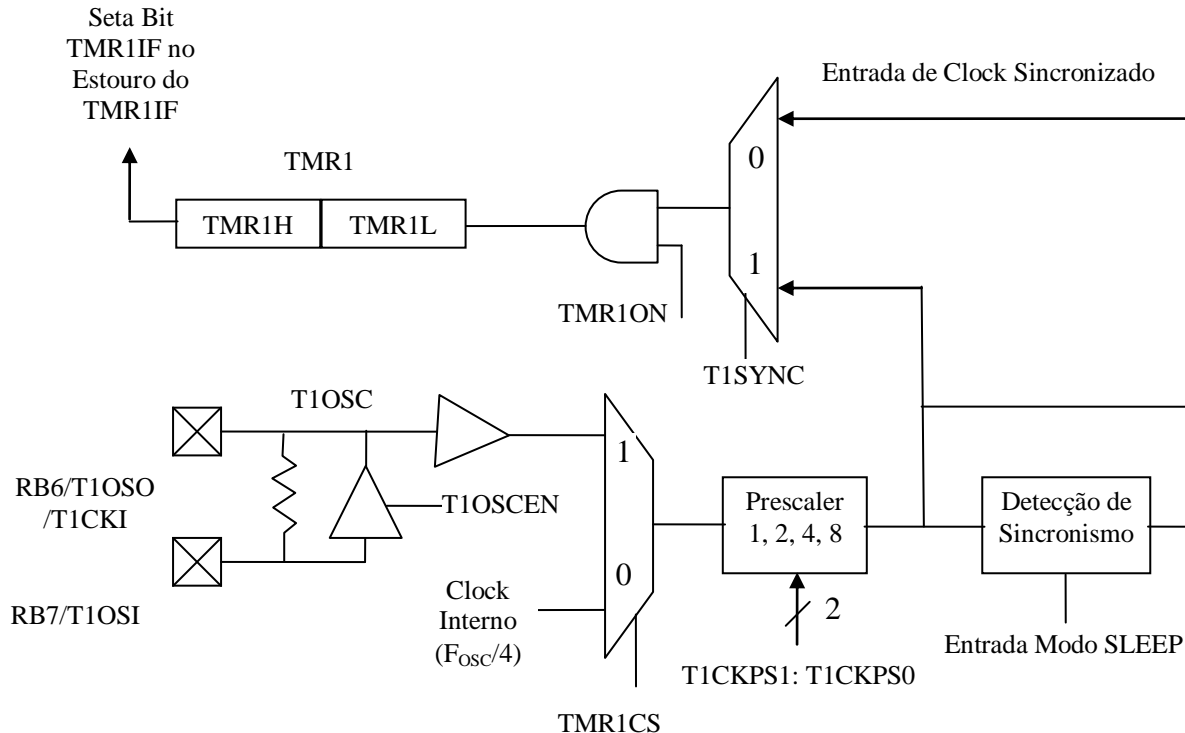


Figura 5 - Diagrama interno do timer 1.

O timer 1 oferece a possibilidade de conexão de cristal externo para clock do módulo, possibilitando a contagem mesmo com o chip em modo SLEEP (a frequência máxima nesse caso é de 200 KHz). A conexão do cristal é feita através dos pinos RB6/T1OSO e RB7/T1OSI representados no diagrama da figura 5.

O T1CON é o registrador de controle destinado especificamente ao timer1, além do uso de dois registradores para o armazenamento da contagem (TMR1L e TMR1H), sendo que o TMR1L representa os 8 bits menos significativos da contagem e o TMR1H os 8 bits mais significativos da contagem. Desta forma conclui-se que um ciclo típico de contagem do timer 1 irá se iniciar em 0 (os 16 bits do contador em '0') e terminar em 65535 (o que equivale aos 16 bits do contador em '1'). O próximo pulso de clock que chegar ao contador irá gerar um transbordo de contagem setando o bit TMR1IF, sinalizando assim o transbordo de contagem do módulo.

Podemos calcular a frequência das interrupções do timer 1 com a seguinte fórmula:

$$F_{INT} = \frac{CLOCK}{PRESCALER * (65536 - TMR1)}$$

Equação 2 - Frequência de Interrupções Timer 1.

Em que:

- CLOCK é o valor da frequência de clock utilizada: se o clock for interno, teremos que o CLOCK será igual a $F_{osc}/4$; se o clock for externo, o valor de CLOCK será aquele aplicado à entrada T1CKI;
- PRESCALER é o fator de divisão do clock;
- TMR1 é o valor inicial de 16 bits do par de registradores TMR1L e TMR1H. Normalmente este valor é zero, mas podemos alterá-lo pro software.

Registrador T1CON

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
-	-	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON
bit7							bit0

- bit 7-6: Não implementados.
- bit 5-4: T1CKPS1: T1CKPS0 – Bits de seleção do prescaler do Timer 1.
00 = Fator de divisão 1:1
01 = Fator de divisão 1:2
10 = Fator de divisão 1:4
11 = Fator de divisão 1:8
- bit 3: T1OSCEN – Bit de controle do oscilador externo do Timer 1.
1 = Oscilador externo habilitado.
0 = Oscilador externo desabilitado.
- bit 2: $\overline{T1SYNC}$ – Bit de controle da sincronização do clock externo.
1 = Não sincroniza entrada de clock externo.
0 = Sincroniza entrada de clock externo.
- bit 1: TMR1CS – Bit de seleção do clock do timer 1.
1 = Clock externo através do pino RB6/T1OSO/T1CKI.
0 = Clock interno (o clock do sistema dividido por 4).
- bit 0: TMR1ON – Bit de controle do Timer 1.
1 = Contagem ativada.
0 = Contagem paralizada.

CONTADOR/ TEMPORIZADOR TIMER 2

O timer 2 é um temporizador de 8 bits com princípio de funcionamento similar ao do timer 0 e as seguintes características:

- Postcaler programável de 1:1 a 1:16;
- Prescaler programável de 1:1, 1:4 ou 1:16;
- Capacidade de ligar ou desligar a contagem do módulo;
- Registrador de período (PR2).

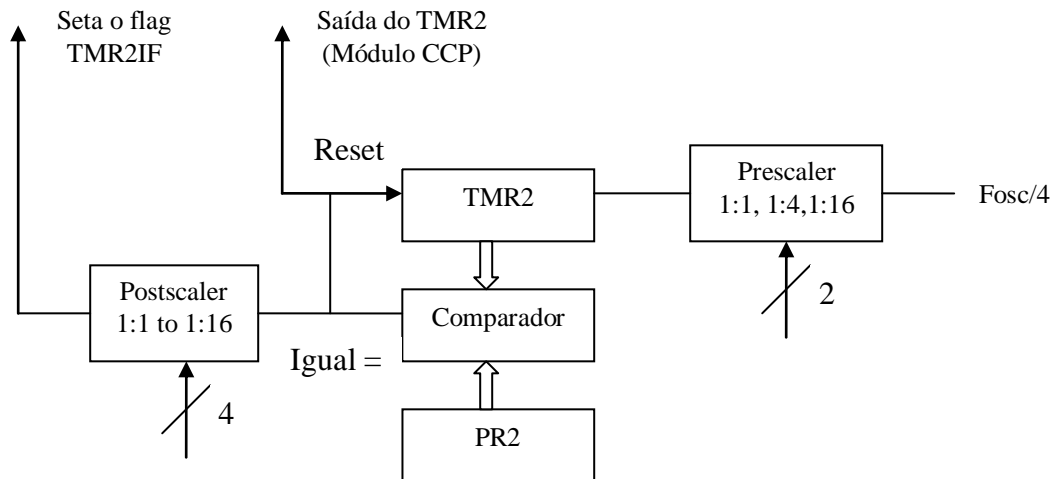


Figura 6 - Diagrama interno do timer 2.

Podemos calcular a frequência das interrupções do timer 2 com a seguinte formula:

$$F_{INT} = \frac{CLOCK}{PRESCALER * (PR2 + 1 - TMR2) * POSTCALER}$$

Equação 3 - Frequência de Interrupções Timer 2.

Em que:

- CLOCK é o valor da frequência de clock utilizada;
- PRESCALER é o fator de divisão do clock;
- POSTCALER é o número de vezes que o timer 2 deverá estourar para gerar um pedido de interrupção;
- TMR2 é o valor inicial de 8 bits do registrador TMR2. Normalmente este valor é zero, mas podemos alterá-lo por software.

Registrador T2CON

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
-	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit7							bit0

bit 7: Não implementados.

bit 6-3: TOUTPS3: TOUTPS0 – Bits de seleção do postcaler do Timer 2.

bit 2: TMR2ON – Bit de controle da contagem do Timer 2.

1 = Contagem ativada.

0 = Contagem paralizada.

bit 1-0: T2CKPS1: T2CKPS0 – Bits de seleção do prescaler do Timer 2.

TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	Divisor
0	0	0	0	1:1
0	0	0	1	1:2
0	0	1	0	1:3
0	0	1	1	1:4
0	1	0	0	1:5
0	1	0	1	1:6
0	1	1	0	1:7
0	1	1	1	1:8
1	0	0	0	1:9
1	0	0	1	1:10
1	0	1	0	1:11
1	0	1	1	1:12
1	1	0	0	1:13
1	1	0	1	1:14
1	1	1	0	1:15
1	1	1	1	1:16

Tabela 8 - Postscaler do Timer 2.

T2CKPS1	T2CKPS0	Divisor
0	0	1:1
0	1	1:4
1	0	1:16
1	1	1:16

Tabela 9 – Fatores de divisão do prescaler do Timer 2.

O prescaler interno do módulo timer 2 é completamente independente daquele utilizado pelo timer 0, timer 1 e watchdog.

O módulo timer 2 somente pode funcionar como um temporizador, já que não possui opção de clock externo, somente de clock interno. Esse módulo possui um registrador de período, chamado PR2, que possibilita que se altere o valor de transbordo do timer 2. Nesse caso, o timer 2 poderá contar a partir de zero até o valor definido no registrador PR2. No próximo ciclo de clock ocorrerá o transbordo do temporizador e o bit TMR2IF do registrador PIR1 será setado.

CAPÍTULO 3

MÓDULO COMPARADOR

ANALÓGICO

COMPARADOR ANALÓGICO

O módulo comparador analógico consiste em um conjunto de dois comparadores analógicos internos, que podem ter suas entradas associadas aos pinos do microcontrolador para fazer comparações de tensões analógicas externas entre si ou com a fonte de referência interna do chip. O módulo possui apenas um registrador: CMCON responsável pela configuração e controle dos comparadores internos.

MODOS DE COMPARAÇÃO ANALÓGICA

São oito os modos de comparação analógica, os quais são exibidos na figura 7:

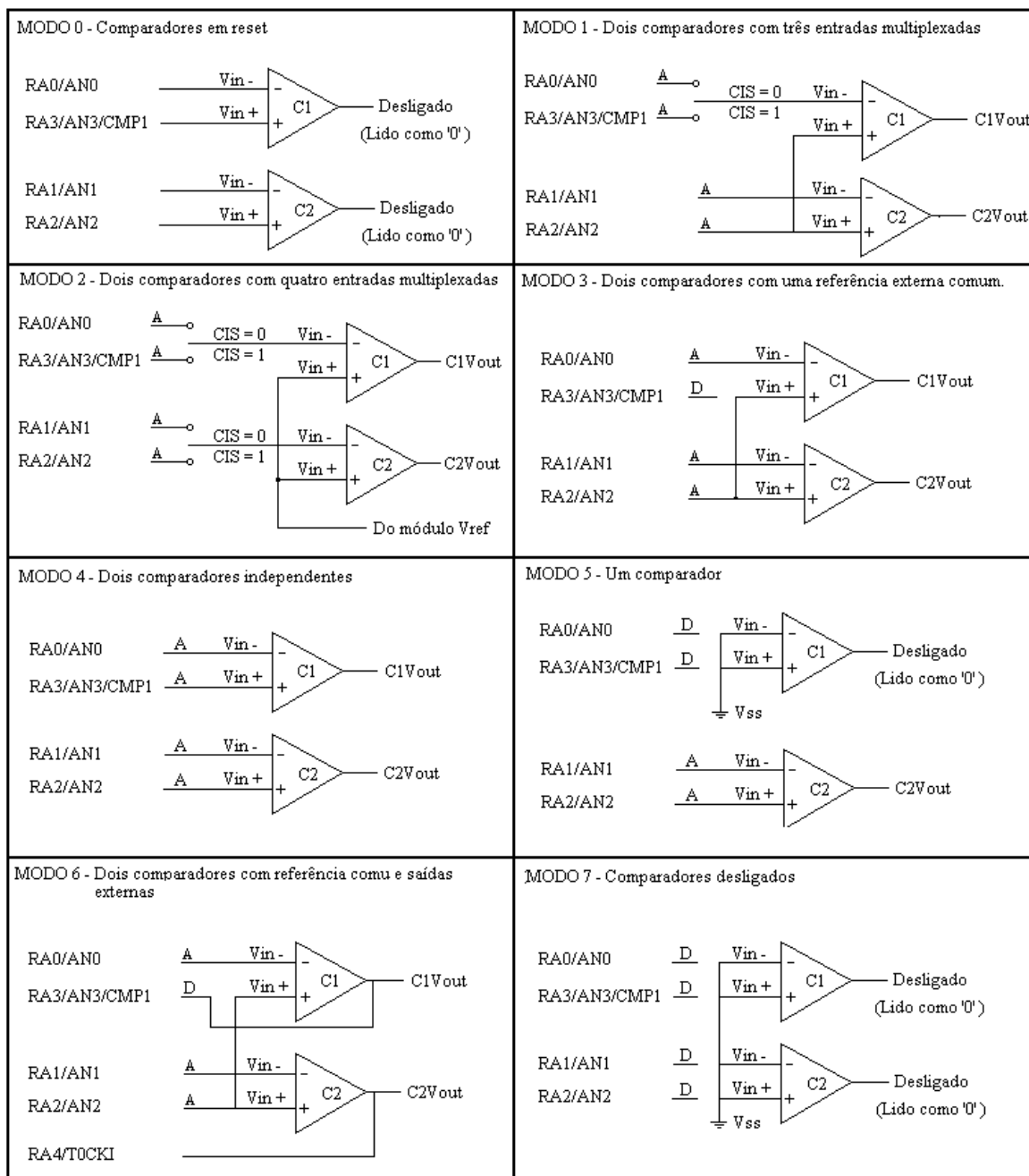


Figura 7 – Modos de comparação analógica

REFERÊNCIA INTERNA DE TENSÃO

O módulo de referência interna de tensão (V_{REF}) constitui-se basicamente num complemento ao módulo comparador analógico. Sua função básica é fornecer uma referência programável de tensão para uso com os comparadores analógicos. Esse módulo é controlado pelo registrador VRCON, onde é dada a ativação/desativação do módulo VREF e a seleção do nível de tensão de saída do módulo. A tabela a seguir, mostra os valores típicos para a saída VREF. Observa-se que os valores desta tabela são aproximados e são válidos para uma tensão $V_{DD} = 5V$.

VR3 : VR0	V_{REF}	
	VRR=1	VRR=0
0000	0.00V	1.25V
0001	0.21V	1.41V
0010	0.42V	1.56V
0011	0.63V	1.72V
0100	0.83V	1.88V
0101	1.04V	2.03V
0110	1.25V	2.19V
0111	1.46V	2.34V
1000	1.67V	2.50V
1001	1.88V	2.66V
1010	2.08V	2.81V
1011	2.29V	2.97V
1100	2.50V	3.13V
1101	2.71V	3.28V
1110	2.92V	3.44V
1111	3.13V	3.59V

Tabela 10 – Valores Típicos da Saída VREF.

Registrador CMCON.

Registrador de controle dos comparadores analógicos.

R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0
bit7							bit0

- bit 7: C2OUT – Bit indicativo do estado de saída do comparador 2.
Caso C2INV = '0':
1 = Entrada $V_{in+} > V_{in-}$.
0 = Entrada $V_{in+} < V_{in-}$.
Caso C2INV = '1':
1 = Entrada $V_{in+} < V_{in-}$.
0 = Entrada $V_{in+} > V_{in-}$.
- bit 6: C1OUT – Bit indicativo do estado de saída do comparador 1.
Caso C1INV = '0':
1 = Entrada $V_{in+} > V_{in-}$.
0 = Entrada $V_{in+} < V_{in-}$.
Caso C1INV = '1':
1 = Entrada $V_{in+} < V_{in-}$.
0 = Entrada $V_{in+} > V_{in-}$.
- bit 5: C2INV – Seleção de inversão do sinal de saída do comparador 2.
1 = Saída invertida.
0 = Saída não invertida.
- bit 4: C1INV – Seleção de inversão do sinal de saída do comparador 1.
1 = Saída invertida.
0 = Saída não invertida.
- bit 3: CIS – Seleção de entrada dos comparadores nos modos 1 e 2.
- bit 2-0: CM2, CM1, CM0 – Seleção do modo de operação dos comparadores.
A figura 7 mostra os modos de operação dos comparadores.

Registrador VRCON.

Registrador de controle do módulo de referência de tensão interna.

R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
V_{REN}	V_{ROE}	V_{RR}	-	V_{R3}	V_{R2}	V_{R1}	V_{R0}
bit7							bit0

- bit 7: V_{REN} – Ativação/ desativação do módulo Vref.
1 = Módulo ligado.
0 = Módulo desligado.
- bit 6: V_{ROE} – Conexão da saída Vref ao pino RA2.
1 = Saída Vref conectada ao pino RA2.
0 = Saída Vref não conectada ao pino RA2.
- bit 5: V_{RR} – Seleção da escala de tensão.
1 = Escala de tensão de 0.00 V a 3.13 V.
0 = Escala de tensão de 1.25 V a 3.59 V.
- bit 4: Não implementado
- bit 3-0: V_{R3} , V_{R2} , V_{R1} , V_{R0} – Seleção do nível de saída de tensão do módulo.
Níveis de tensão mostrados na tabela 10.

CAPÍTULO 4

COMUNICAÇÃO SERIAL

COMUNICAÇÃO SERIAL

A USART (Interface Serial Universal síncrona/assíncrona) é um dispositivo interno utilizado para fazer a comunicação serial com elementos externos ao chip, tais como: computadores, modems, terminais, memórias, conversores A/D e D/A, etc.

Os sinais transmitidos e recebidos pela USART fluem por dois pinos externos do chip: RB1 e RB2.

Além da transmissão e recepção padrão de 8 bits, o módulo USART permite ainda um outro modo de transmissão / recepção de 9 bits, que permite o funcionamento da USART em duas outras modalidades:

- Utilização do nono bit para função de detecção de paridade, permitindo assim um controle de erros de transmissão de baixo nível;
- Utilização do nono bit para função de controle de endereçamento. Neste modo, o nono bit funciona como um bit de controle de endereçamento, indicando se o dado transmitido / recebido é um caractere ou um endereço de dispositivo.

A utilização do nono bit para a função de controle de endereçamento permite que diversos dispositivos compartilhem um mesmo barramento serial, cada qual com seu próprio endereço. Desta forma, é possível ao dispositivo mestre comunicar-se com vários dispositivos escravos, apenas selecionando previamente o endereço de cada um.

O modo de endereçamento somente está disponível no modo assíncrono de comunicação.

Assim, é possível configurar a USART para trabalhar em quatro modos:

- Assíncrono Full-duplex sem detecção de endereços;
- Assíncrono Full-duplex com detecção de endereços;
- Síncrono Half-duplex com clock interno (modo mestre);
- Síncrono Half-duplex com clock externo (modo escravo).

Para o controle e configuração da USART utilizamos cinco registradores específicos:

- TXSTA – utilizado para controle e configuração de transmissão da USART;
- RCSTA – utilizado para controle e configuração de recepção da USART;
- SPBRG – utilizado para configurar o clock da USART;
- TXREG – registrador de transmissão de dados (armazena o dado a ser transmitido);
- RCREG – registrador de recepção de dados (armazena o dado recebido).

ESTRUTURA DE TRANSMISSÃO DA USART

A figura 8 apresenta o diagrama em blocos da estrutura interna de transmissão da USART.

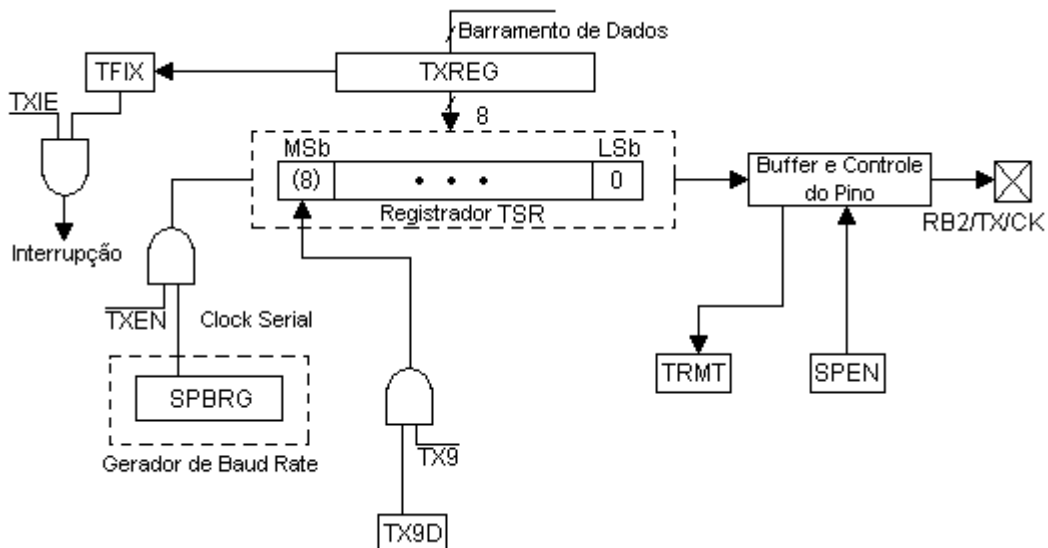


Figura 8: Diagrama de transmissão da USART

Com base na figura 8, podemos destacar alguns elementos:

- BRG – Gerador de Baud Rate – responsável pela geração de clock para comunicação (esse módulo é compartilhado com a estrutura de recepção da USART);
- TSR – Registrador de deslocamento de transmissão – responsável pela conversão da informação paralela vinda do registrador TXREG em informação serial;
- TXREG – Registrador de dados transmitidos – armazena o dado a ser transmitido;

ESTRUTURA DE RECEPÇÃO DA USART

Na figura 9 temos a estrutura interna de recepção da USART.

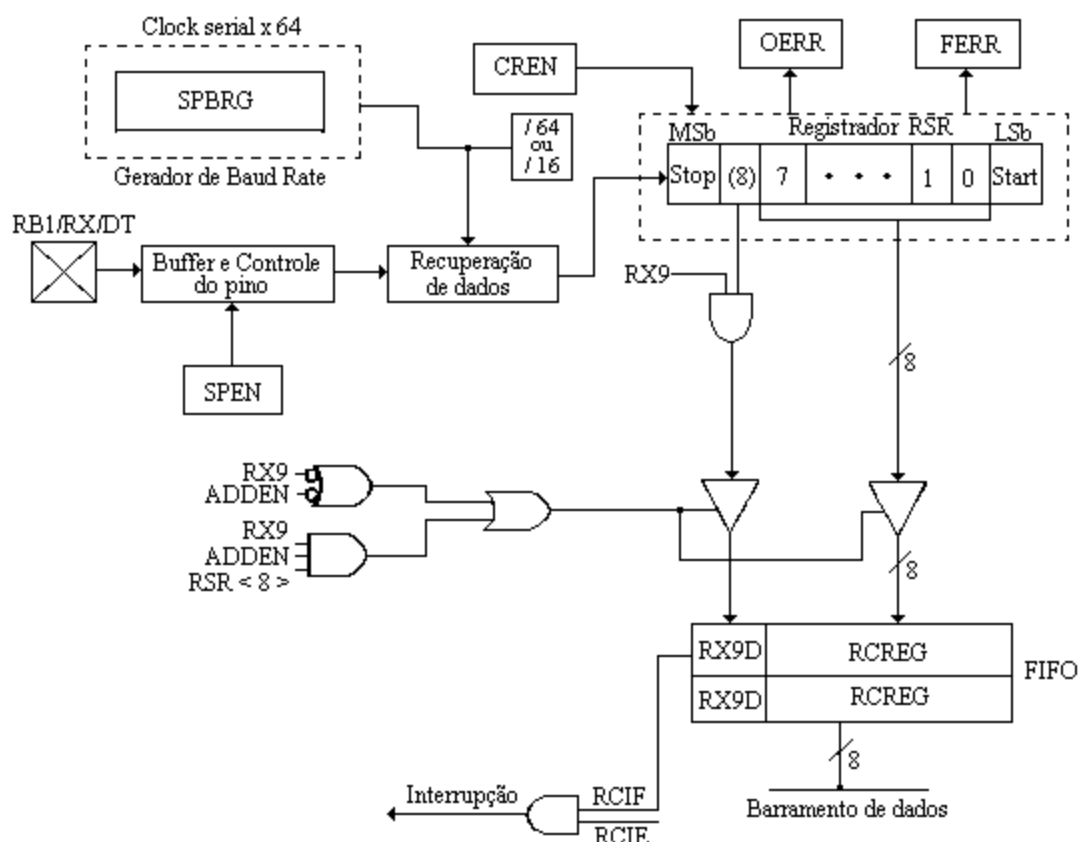


Figura 9 – Estrutura interna de recepção da USART

Com base na figura 9, podemos destacar como principais elementos:

- BRG – Gerador de Baud Rate – responsável pela geração de clock para comunicação (esse módulo é compartilhado com a estrutura de recepção da USART);
- RSR – Registrador de deslocamento de recepção – responsável pela conversão da informação serial recebida em informação paralela;
- RCREG – Registrador de dados recebidos – estrutura FIFO de dois estágios destinada a armazenar a informação recebida do RSR;

REGISTRADORES DA USART

Registrador TXSTA

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D
bit7							bit0

bit 7: CRSC – Seleção de fonte de clock síncrono:

0 – Clock externo (modo escravo)

1 – Clock interno (modo mestre)

bit 6: TX9 – Habilitação de modo de transmissão de 9 bits:

0 – Seleciona modo de transmissão de 8 bits

1 – Seleciona modo de transmissão de 9 bits

bit 5: TXEN – Habilitação do transmissor:

0 – Transmissor desabilitado

1 – Transmissor habilitado

bit 4: SYNC – Seleção de modo de operação da USART:

0 – Seleciona modo assíncrono de transmissão

1 – Seleciona modo síncrono de transmissão

bit 3: Não implementado

bit 2: BRGH – Seleção de modo de clock de alta velocidade

0 – Modo de baixa velocidade

1 – Modo de alta velocidade

bit 1: TRMT – Bit indicador do estado do reg. de deslocamento (transmissão):

0 – Registrador de transmissão (TSR) cheio

1 – Registrador de transmissão (TSR) vazio

bit 0: TX9D – Nono bit de dados (usado apenas no modo de 9 bits, pode ser utilizado para gerar informação de paridade (detecção de erros de transmissão)).

Registrador RCSTA

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R-0	R-0	R-0
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit0

bit 7: SPEN – Habilitação da USART.

0 – USART desabilitada (pinos RB1/RB2 podem ser utilizados p/I/O)

1 – USART habilitada (pinos RB1/RB2 utilizados p/ USART)

bit 6: RX9 – Habilitação de recepção de 9 bits:

0 – Seleciona modo de recepção de 8 bits

1 – Seleciona modo de recepção de 9 bits

bit 5: SREN – Habilitação de recepção única:

0 – Desabilita recepção única

1 – Habilita recepção única

bit 4; CREN – Habilitação de recepção

0 – Desabilita recepção contínua

1 – Habilita recepção contínua

bit 3: ADDEN – Habilitação de detecção de endereço

0 – Desabilita a detecção de endereço. O 9º bit pode ser utilizado para paridade.

1 – Habilita a detecção de endereço. A USART permanece aguardando a chegada de um endereço.

bit 2: FERR – Indicador erro de *Frame* (quadro):

0 – Nenhum erro de frame

1 – Erro de frame (Bit de STOP não detectado ou detectado fora da hora)

bit 1: OERR – Indicador de erro de *overrrun* (sobreposição):

0 – Nenhum erro de overrun

1 – Erro de overrun, três caracteres foram recebidos sem terem sido lidos pela CPU.

bit 0: RX9D – Nono bit dos dados recebidos pela USART, pode ser utilizado para verificar a paridade, desde que o transmissor esteja configurado de acordo.

Registrador SPBRG.

O registrador SPBRG é responsável pelo controle do gerador do baud rate interno da USART.

Por meio do valor colocado nesse registrador, altera-se o fator de divisão do BRG, resultando em diferentes frequências de clock para a USART. A tabela a seguir demonstra as fórmulas de cálculo do Baud Rate para cada modo possível:

SYNC	MODO	BRGH='0'	BRGH='1'
0	Assíncrono	Baud Rate = $F_{OSC}/[64*(x + 1)]$	Baud Rate = $F_{OSC}/[16*(x + 1)]$
1	Síncrono	Baud Rate = $F_{OSC}/[4*(x + 1)]$	N/A

Tabela 11 - Tabela de cálculo do Baud Rate

Onde:

X – é o valor que deve ser armazenado no registrador SPBRG.